

МЕТОД

генерации кодов синуса+косинуса

путём быстрого аппаратного вычисления.

Кияшко Владимир Анатольевич

Краснодар, Россия.

10 октября 2005г.

Метод основан на **аппаратном** вычислении **за один такт** тактового генератора параллельных двоичных кодов синуса и косинуса на основании предыдущего значения кода синуса и косинуса.

Рассмотрим теоретическую основу метода. Представим окружность с центром в начале координат и с радиусом R . Генерацию кодов синуса и косинуса можно представить геометрически как вращение радиуса R вокруг центра координат. Проекция этого вектора на ось абсцисс будет равна $R \cdot \sin \varphi$, а на ось ординат $R \cdot \cos \varphi$, где φ - текущее значение угла поворота вектора. Так как коды синуса и косинуса есть величины дискретные, то и вращение вектора будем рассматривать дискретное, как поворот вектора на фиксированный угол Δ , равный $2\pi/N$, где N - равно числу ступенек (кодов), составляющих один период генерируемой синусоиды.

Рассмотрим рисунок 1 и выведем зависимость координат нового положения вектора с углом $(\varphi + \Delta)$ от координат предыдущего его положения с углом, равным φ .

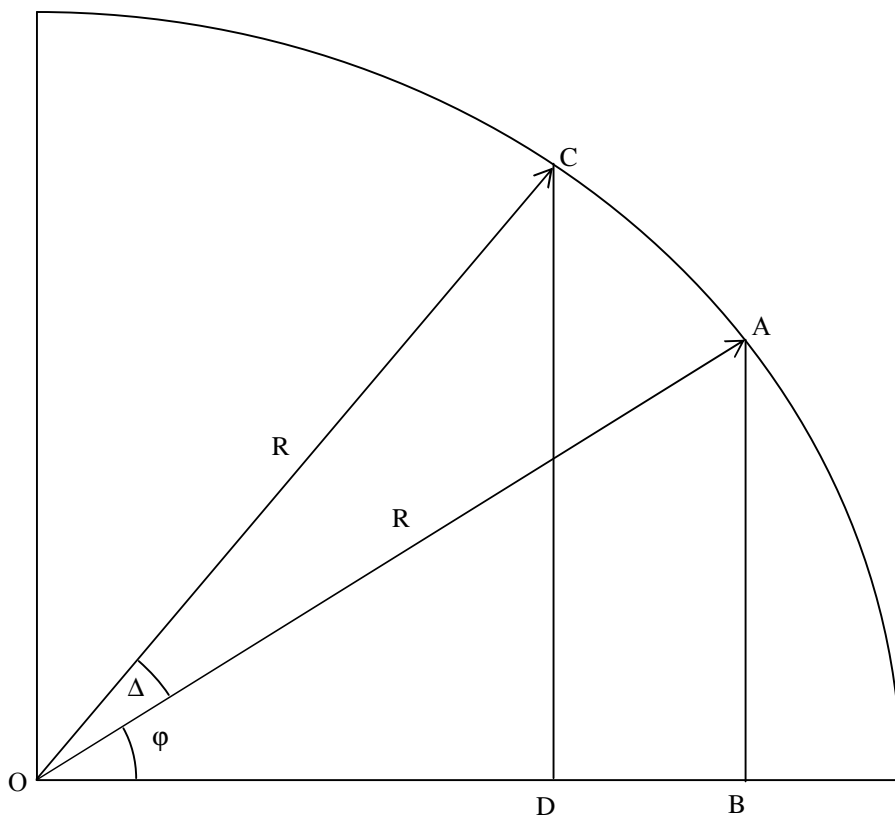


Рис. 1

Допустим, что вектор OA с длиной, равной радиусу окружности R вращается вокруг центра в точке O .

При произвольном угле φ имеем:

$$\text{отрезок } AB = R \cdot \sin \varphi \quad OB = R \cdot \cos \varphi \quad CD = R \cdot \sin(\varphi + \Delta) \quad OD = R \cdot \cos(\varphi + \Delta)$$

Из школьного курса тригонометрии известно, что

$$\sin(\varphi + \Delta) = \cos \Delta \cdot \sin \varphi + \sin \Delta \cdot \cos \varphi$$

$$\cos(\varphi + \Delta) = \cos \Delta \cdot \cos \varphi - \sin \Delta \cdot \sin \varphi$$

Получаем пару уравнений:

$$R \cdot \sin(\varphi + \Delta) = R(\cos \Delta \cdot \sin \varphi + \sin \Delta \cdot \cos \varphi)$$

$$R \cdot \cos(\varphi + \Delta) = R(\cos \Delta \cdot \cos \varphi - \sin \Delta \cdot \sin \varphi)$$

Допустим, что период генерируемого синуса (косинуса) состоит из N ступенек (кодов). Тогда получаем $\Delta = 2\pi/N$ радиан.

Учитывая, что при больших N угол Δ получается достаточно малым, косинус Δ примерно равен единице, а $\sin \Delta$ примерно равен Δ , выраженным в радианах.

Переходя к дискретному времени n , равному очередному повороту на угол Δ

$n = \varphi / \Delta$ где $n = 0, 1, 2, \dots, N$ при изменении φ от 0 до 2π радиан, тогда $\varphi = n\Delta$ имеем:

$$R \sin((n+1)\Delta) = R \sin(n\Delta) + \Delta R \cos(n\Delta)$$

$$R \cos((n+1)\Delta) = R \cos(n\Delta) - \Delta R \sin(n\Delta)$$

Получается система из двух регистров, один содержит код синуса, а другой код косинуса, значения которых динамически изменяются по сигналу **CLOCK**, влияя друг на друга, формируя коды синуса и косинуса естественным образом, где следующее значение синуса равно предыдущему плюс K от предыдущего значения косинуса, а следующее значение косинуса равно предыдущему минус K от предыдущего синуса. K - это $\sin \Delta$, он и определяет коэффициент деления частоты генератора.

Работа такого генератора происходит следующим образом. В регистры по сигналу сброса записываются начальные значения кодов синуса и косинуса. Эти коды попадая на входы сумматоров формируют на входах регистров код синуса и косинуса для угла Δ . По фронту сигнала **CLOCK** коды со входов регистров записываются в них и через время задержки распространения сигнала в регистре появляются на их выходах, затем через время задержки распространения в сумматорах опять появляются на входах регистров

Пример реализации такого алгоритма вычисления синуса и косинуса целочисленной арифметикой показан блок-схемой устройства на рис 2.

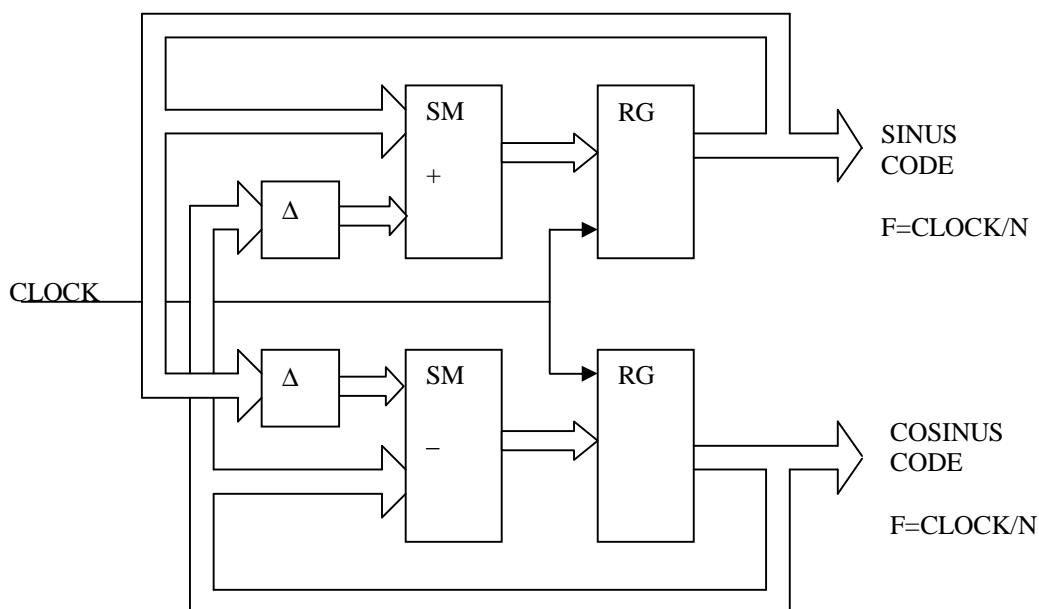


Рис. 2

В верхнем регистре **RG** хранится текущий код синуса, а в нижнем – код косинуса. Верхний двоичный сумматор **SM** всегда складывает, с учётом знаков, предыдущее значение кода синуса с кодом косинуса, делённым на K , и результат перезаписывается по фронту сигнала **CLOCK** в регистр кода синуса. Нижний двоичный сумматор **SM** всегда вычитает, с учётом знаков, из предыдущего значения кода косинуса код синуса, делённый на K , и результат перезаписывается по фронту сигнала **CLOCK** в регистр кода косинуса.

Для неизменных N можно заменить операцию деления на K на операцию умножения на величину обратную K

$$R/K = R/N/2\pi = 2\pi R/N.$$

Задавшись кодом максимума амплитуды синусоиды R можно вычислить, какую часть от него нужно подавать на сумматор, чтобы получить нужный коэффициент деления N .

Если K выбрать равным целой степени двойки, то деление достигается сдвигом кода вправо на число b бит, равное целой степени двойки, и это позволит иметь минимальные аппаратные затраты и максимальное быстродействие. Тогда

$$K = N/2\pi = 2^b \quad N = 2\pi * 2^b$$

и при различных b , имеем округлённые до целого значения N

$$b = 0 \quad N = 6$$

$$b = 1 \quad N = 12$$

$$b = 2 \quad N = 25$$

$$b = 3 \quad N = 50$$

$$b = 4 \quad N = 100$$

$$b = 5 \quad N = 201$$

$$b = 6 \quad N = 402$$

$$b = 7 \quad N = 804$$

$$b = 8 \quad N = 1608$$

$$b = 9 \quad N = 3216$$

$$b = 10 \quad N = 6434$$

$$b = 11 \quad N = 12867$$

$$b = 12 \quad N = 25735$$

В этом случае структура устройства будет такой, как показана на Рис. 3. Для каждого коэффициента N в формулах даны коэффициенты b , равные степени двойки. На свой сумматор код регистра подается весь, а на другой - со сдвигом на соответствующую степень двойки, а на ставшие свободными в результате сдвига старшие входы, старший знаковый разряд.

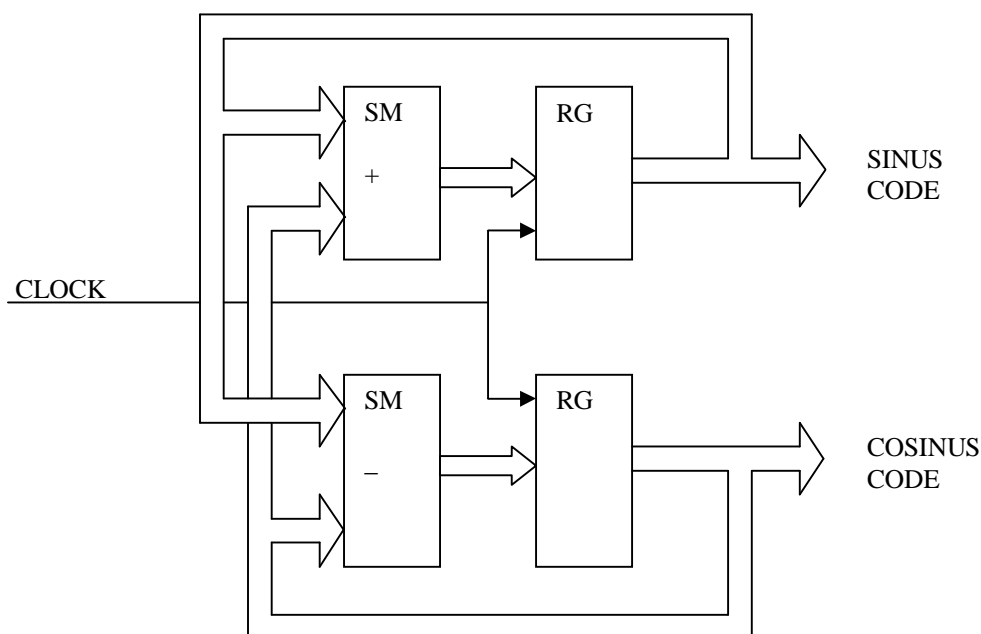


Рис. 3

Такая структура генератора будет иметь наибольшее быстродействие. При наличии в сумматорах схемы ускоренного переноса, быстродействие будет обусловлено только задержкой в сумматоре и в регистре и если схему выполнить в современной ПЛИС (CPLD или FPGA), то взяв средние задержки ~ 5 нс, получаем, что частота $CLOCK$ может достигать 100МГц.

Если быстродействие не важно, а важно получить коэффициент деления, не попадающий в указанный выше ряд, то путём введения дополнительных сумматоров, можно получить практически любой коэффициент деления.

Процесс проектирования такой схемы показан в приложении.

ПРИЛОЖЕНИЕ

РАСЧЁТ ГЕНЕРАТОРА С ПРОИЗВОЛЬНЫМ КОДОМ

Допустим, нам нужно генерировать код синуса с коэффициентом деления, равным 10000. Рассчитаем, сколько битов нам нужно иметь, чтобы получить коэффициент деления с точностью +/- 1. Так как один период синуса составляет один оборот вектора, или 2π радиан, тогда $2\pi/10000=0.000628318530$, а для коэффициента 9999, $2\pi/9999=0.000628381368$. Вычисляем разницу между ними 0.0000000628381 и берем обратную ему величину и получаем число 15913902, которое попадает в диапазон между 2 в степени 23 и 2 в степени 24 (16777216)

Следовательно, для установки коэффициента деления с точностью +/-1 необходимо иметь код синуса и косинуса в 24 бита + бит знака. Примем, для эффективного использования аппаратуры, максимальное значение амплитуды R синуса равным 2 в 24 -й степени = 16777216. Длина окружности при этом составит $2\pi R = 105414357$. Разделив это число на 10000, получим длину дуги угла $\Delta = 10541$.

Теперь сконструируем такую цифровую схему, которая, при подаче на её входы двоичного кода, состоящего из 24-х лог. единиц, на выходе формировавала код 10541. Переведём этот код в двоичный и получим 10100100101101. Структура кода подсказывает нам структуру нашей схемы. Если мы для получения в коде каждой единицы возьмём двоичный сумматор такой длины, на каком эта единица стоит и подадим на его первый вход код выходного регистра так, чтобы старший разряд с регистра попал на старший разряд сумматора, а на второй вход сумматора выход предыдущего сумматора и на вход переноса бит предыдущего разряда, и выровняв их по младшим разрядам просуммируем, то получим на выходе требуемый код без операций деления, а только суммирования предварительно сдвинутых (или поделённых на 2 в степени b) кодов выходного регистра.

Тогда структура блока Δ будет такой, как показано на рис 1.



Рис. 1

На все свободные верхние входы каждого разряда каждого сумматора подан сигнал C_{24} (старший знаковый регистра Cos). На все нижние входы каждого разряда сумматора поданы старшие разряды регистра косинуса, причём, старший знаковый разряд приходится на тот разряд, где есть надпись SM и на все нижние в порядке убывания разрядов, вплоть до входа переноса сумматора (самый нижний вход).

Выходы блока поданы на младшие 14 разрядов верхнего сумматора основной схемы генератора, а на оставшиеся старшие – старший знаковый разряд регистра косинуса. Схема для нижнего блока Δ точно такая же, но вместо разрядов регистра косинуса используются такие же разряды регистра синуса.

Такая схема способна генерировать последовательность кодов синуса и косинуса, но вследствие ошибок целочисленной арифметики она может иметь следующие нежелательные эффекты: может происходить переполнение регистров, может происходить постепенное уменьшение максимальной амплитуды и т. п. Для устранения таких недостатков в схему введен узел принудительного приведения регистров в начальное состояние в конце каждого периода синуса (смотри Рис. 2).

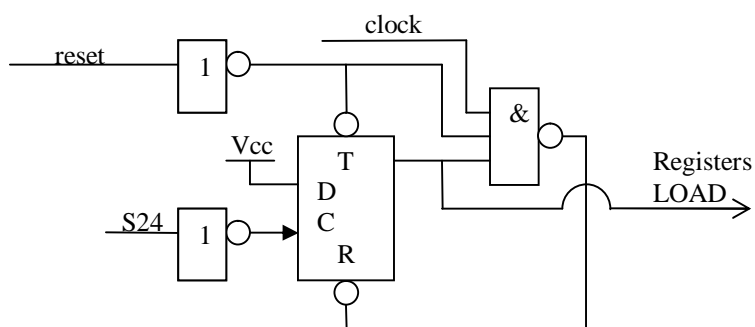


Рис. 2

Реализация этой схемы на CPLD Altera EPM3256ATC144-10 с 16-ти битным ЦАПом типа AD669, подключённым к старшим 16 разрядам регистра синуса показала устойчивую работу в диапазоне рабочих входных частот от 1кГц до 2 МГц с коэффициентом нелинейных искажений не хуже 0,08%.